

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020067137 A
(43)Date of publication of application: 22.08.2002

(21)Application number: 1020010007535

(71)Applicant: LG INNOTECH CO., LTD.

(22)Date of filing: 15.02.2001

(72)Inventor: KANG, GYEONG WON

(51)Int. Cl. H03L 7/08

(54) PLL CONTROL CIRCUIT FOR FAST PHASE LOCK

(57) Abstract:



PURPOSE: A PLL(Phase Locked Loop) control circuit for fast phase lock is provided to reduce the phase lock time by applying directly a tuning value to a voltage control oscillator.

CONSTITUTION: A phase comparator(21) outputs a compared signal having a phase difference by comparing two signals to each other. A filter(22) is used for passing and amplifying a predetermined band of the compared signal. A voltage control oscillator(23) performs a frequency converting process in order to reduce a phase difference of the compared signal. A frequency demultiplier(24) demultiplies a frequency signal of the voltage control oscillator(23) by a predetermined integer value. A digital-analog converter(25) is used for converting a digital signal having a tuning value of the voltage control oscillator(23) to an analog signal. A control portion(26) transmits the digital signal to the digital-analog converter(25) and controls a malfunction of the filter(22).

© KIPO 2003

Legal Status

Date of final disposal of an application (20021031)

Patent registration number (1003628790000)

Date of registration (20021115)

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H03L 7/08		(45) 공고일자	2002년11월29일
		(11) 등록번호	10-0362879
		(24) 등록일자	2002년11월15일
(21) 출원번호	10-2001-0007535	(65) 공개번호	특2002-0067137
(22) 출원일자	2001년02월15일	(43) 공개일자	2002년08월22일
(73) 특허권자	엘지이노텍 주식회사		
	서울 강남구 역삼동 736-1번지		
(72) 발명자	강경원		
	서울특별시송파구가락2동가락쌍용아파트303-605		
(74) 대리인	박병창		

심사관 : 박재인

(54) 고속위상 고착을 위한 위상동기루프 제어회로

요약

본 발명은 고속위상 고착을 위한 위상동기루프 제어회로에 관한 것으로서, 외부에서 입력되는 신호의 주파수 천이시간동안 위상동기루프를 끊음과 동시에 디지털-아날로그 변환기로 전압제어발진기의 사전 동조값을 공급하고 디지털-아날로그 변환기에서 아날로그 신호화하여 전압제어발진기로 그 동조값을 직접 인가함으로써, 주파수 도약시 한 주파수가 다른 주파수로 천이될 때 전압제어발진기의 출력값이 안정되고, 배터리의 사용시간이 중요한 이동통신 단말기의 경우에 저전력모드에서 위상동기루프회로의 전원을 차단하고, 단말기의 사용시에 주파수 출력이 빨리 나와야 할 경우 이 방식을 사용하여 주파수 합성기의 초기 위상고착시간을 빠르게 할 수 있다.

도표도

52

색인어

무선단말기, 위상동기루프(Phase Locked Loop), 위상고착시간, 위상비교기, 전압제어발진기

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 위상동기루프회로의 블록도,
도 2는 본 발명에 따른 위상동기루프 제어회로의 블록도,
도 3은 도 2의 일부 구성요소인 필터의 회로도,
도 4는 도 3의 일부 구성요소인 필터의 스위치를 제어하는 신호와 그에 따른 출력신호를 도시한 타이밍 다이어그램.

<도면의 주요 부분에 관한 부호의 설명>

- | | |
|-------------------|-------------|
| 21 : 위상비교기 | 22 : 필터 |
| 23 : 전압제어발진기 | 24 : 주파수분주기 |
| 25 : 디지털-아날로그 변환기 | 26 : 제어부 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고속위상 고착을 위한 위상동기루프 제어회로에 관한 것으로서, 특히 위상동기루프회로에서 신호의 주파수 도약시에 안정된 주파수를 생성하기 위한 위상고착시간을 단축할 수 있으며 또한 정확한 주

파수 도약을 할 수 있는 고속위상 고착을 위한 위상동기루프 제어회로에 관한 것이다.

일반적으로 위상동기루프회로(phase locked loop circuit)는 서브모터의 제어회로나 FM튜너 등에 이용되는 이외에 가변 주파수 발전기에 도입되어 주파수 안정도가 좋은 국부 발전기를 만드는 데 응용되고 있다. 위상동기루프회로는 복잡하지만 중간주파수 증폭부, 리미터, 자동이득회로(AGC) 등과 함께 집적화되어 있으므로 조정이 불필요하고, 신호대 잡음비도 양호하여 현재 많이 사용되고 있다.

도 1은 종래 기술에 따른 위상동기루프회로의 구성을 나타낸 블록도로서, 일정한 주파수와 위상을 가지는 두 개의 신호의 인가시에 그 위상을 비교하여 위상차를 가지는 비교신호를 출력하는 위상비교기(11)와; 상기 비교신호의 일정한 주파수 대역만을 통과시켜 증폭하는 필터(12)와; 상기 필터(12)를 통한 비교신호의 위상차를 감소시키도록 신호의 주파수를 변환시키는 전압제어발전기(VCO, 13)와; 상기 전압제어발전기에서 발생하는 주파수의 신호를 일정한 정수값으로 분주하여 상기 위상비교기(11)로 인가하는 주파수분주기(14)로 구성된다.

상기와 같이 구성된 종래 위상동기루프회로의 동작을 설명하면 다음과 같다.

외부신호의 주파수(f_r)와 전압제어발전기(13)의 출력 f_o 는 FM파이므로 주파수가 변화한다. f_o 는 f_r 에 따라 변화되므로 $f_r + \Delta f$ 가 되면 위상비교기(11)에서 Δf 에 대응하는 전압을 발생하며, f_o 가 $f_r + \Delta f$ 가 되도록 전압제어발전기(13)를 제어한다. 이와같이 f_r 이 변화할 때 전압제어발전기(13)의 제어 전압이만 들어져 f_o 는 f_r 에 맞추어지게 된다. 이 때문에 이러한 전압제어발전기(13)의 제어 전압은 신호파 자체가 된다. 또한, 전압제어발전기(13)의 주파수(f_o)를 정수 N 으로 분주한 주파수를 f_w 라 하면 $f_n = f_o / N$ 가 되고, 위상비교기(11)에서 $f_o / N - f_n = f_r$ 의 관계를 가지게 된다. 따라서 $f_o = N \cdot f_r$ 이다. f_r 을 기준 발전 주파수로 하고, N 을 프로그램에 의하여 설정해 준다면 f_o 를 f_r 의 N 배의 배수로 가변시킬 수 있다.

그러나, 종래의 위상동기루프회로는 안정된 주파수를 생성하기 위한 위상고착 시간이 길며, 도약 주파수가 천이하는 동안 전압제어발전기의 출력값이 불안정하여 위상이 고착되지 않으므로 다른 주파수로 잘못 천이되어 위상동기루프회로가 동작하지 않는 경우가 발생할 수 있으며, 도약수가 높은 방식에서는 사용하기가 어려운 문제점이 있다.

본 발명이 이루고자하는 기술적 과제

본 발명은 상기한 종래 기술의 문제점을 해결하기 위하여 안출된 것으로서, 그 목적은 외부에서 입력되는 신호의 주파수 천이시간동안 위상동기루프를 끊음과 동시에 디지털-아날로그 변환기로 전압제어발전기의 사전 동조값을 공급하고 디지털-아날로그 변환기에서 아날로그 신호화하여 전압제어발전기로 그 동조값을 직접 인가함으로써 위상고착시간을 줄일 수 있는 고속위상 고착을 위한 위상동기루프 제어회로를 제공하는 데 있다.

본 발명의 구성 및 작용

상기한 과제를 해결하기 위한 본 발명에 의한 무성단말기용 위상동기루프회로의 특징에 따르면, 일정한 주파수와 위상을 가지는 두 개의 신호의 인가시에 그 위상을 비교하여 위상차를 가지는 비교신호를 출력하는 위상비교부와, 상기 비교신호의 일정한 주파수 대역만을 통과시켜 증폭하는 필터부와, 상기 필터부를 통한 비교신호의 위상차를 감소시키도록 신호의 주파수를 변환시키는 전압제어발전부와, 상기 전압제어발전부에서 발생하는 주파수의 신호를 일정한 정수값으로 분주하여 상기 위상비교부로 인가하는 주파수분주부와, 상기 필터부에 구성되어 동작시에 상기 필터부의 신호필터링을 차단하는 스위칭부와, 상기 스위치의 동작시 필터부로 상기 전압제어발전부의 동조값을 가지는 디지털 신호를 아날로그 신호로 변환시켜 인가하는 디지털-아날로그 변환기와, 상기 스위치로 제어신호를 전송하여 스위치를 동작시키는 동시에 상기 디지털-아날로그 변환기로 상기 전압제어발전부의 동조값을 가지는 디지털 신호를 전송하는 제어부로 구성된다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

도 2는 본 발명에 의한 고속위상 고착을 위한 위상동기루프 제어회로의 블록도로서, 일정한 주파수와 위상을 가지는 두 개의 신호의 인가시에 그 위상을 비교하여 위상차를 가지는 비교신호를 출력하는 위상비교기(21)와, 상기 비교신호의 일정한 주파수 대역만을 통과시켜 증폭하는 필터(22)와, 상기 필터(22)를 통한 비교신호의 위상차를 감소시키도록 신호의 주파수의 변환시키는 전압제어발전기(23)와, 상기 전압제어발전부에서 발생하는 주파수의 신호를 일정한 정수값으로 분주하여 상기 위상비교기로 인가하는 주파수분주기(24)와, 상기 필터(22)로 상기 전압제어발전기(24)의 동조값을 가지는 디지털 신호를 아날로그 신호로 변환시켜 인가하는 디지털-아날로그 변환기(25)와, 상기 디지털-아날로그 변환기(25)로 상기 전압제어발전기(24)의 동조값을 가지는 디지털 신호를 전송하는 동시에 상기 필터(22)의 동작을 제어하는 제어부(26)로 구성된다.

도 3은 상기 도 2의 일부구성요소인 필터를 도시한 회로도로서, 상기 도 2의 위상비교기에서 일정한 위상차를 가지는 신호를 입력받는 제1 연산증폭기(U1)와, 상기 제1 연산증폭기(U1)의 반전 입력단자와 출력단자에 연결되어 원하는 주파수 대역만을 통과시키는 제3 저항(R3) 및 제1 커패시터(C1)와, 상기 제1 연산증폭기(U1)의 비반전 입력단자에 연결되어 원하는 주파수 대역만을 통과시키는 제6 저항(R6) 및 제2 커패시터(C2)와, 상기 제3 저항(R3)과 제1 커패시터(C1)에 병렬로 연결되어 제어신호에 의하여 작동되어 제1 연산증폭기의 필터링 역할을 억제하는 제1 스위치(SW1)와, 상기 제6 저항(R6) 및 제2 커패시터(C2)에 병렬로 연결되어 주파수 필터링을 억제하는 제2 스위치(SW2)와, 상기 제1 연산증폭기(U1)를 통한 신호를 증폭하고 비반전 입력단자로 전압제어발전기(24)의 동조값을 가지는 디지털-아날로그 변환신호가 입력되는

제2 연산증폭기(U2)로 구성된다.

도 4는 상기 도 3에 도시된 필터의 스위치를 제어하는 신호(SC)와 그에 따른 출력신호(SO)를 도시한 그래프로서, 상기 스위치로 전송되는 제어신호(SC)의 주파수 천이시간(T)에는 상기 도 3의 제1 및 제2 스위치(SW1, SW2)가 작동하는 동시에 디지털-아날로그 변환기(25)에서 전압제어발진기(24)의 사전 등조값이 출력되고 위상동기루프회로의 동작과 스위치의 온/오프에 따른 f1 주파수와 f2 주파수를 가지는 출력신호(SO)가 발생되어 전압제어발진기로 입력된다.

상기와 같이 구성된 본 발명에 따른 고속위상 고착을 위한 위상동기루프 제어회로의 동작을 도 2, 도 3 및 도 4를 참조하여 살펴보면 다음과 같다.

먼저, 위상비교기(21)로 주파수 fr를 가지는 신호와 상기 루프회로에 의하여 분주되어 주파수 fv를 가지는 신호가 입력되면, 상기 위상비교기(21)에서 입력된 신호들을 비교하여 각 신호의 주파수 위상차에 따른 오차전압을 가지는 비교신호를 출력하게 된다. 이 비교신호는 각각의 위상차를 가지는 신호들로 상기 제1 연산증폭기(U1)의 반전과 비반전 입력단자로 입력되어 원하는 주파수 대역으로 필터링된다. 이때 상기 제어부(26)에서 제어신호(도 4 참조)를 상기 제1 및 제2 스위치로 인가하여 제1 연산증폭기(U1)의 제3 저항(R3) 및 제1 캐패시터(C1)로 연결되는 직렬회로와 제6 저항(R6) 및 제2 캐패시터(C2)로 연결되는 직렬회로를 상기 제1 및 제2 스위치(SW1, SW2)를 소트하여 위상비교기(21)에서 출력되는 비교신호의 오차전압이 0이 되도록 한다. 여기서 상기 제어신호(SC)의 주파수 천이시간(T) 동안에 제어부(26)에서 디지털-아날로그 변환기(25)로 전압제어발진기의 사전 등조값을 가지는 신호를 인가하여 상기 디지털-아날로그 변환기(25)에서 아날로그 신호로 변환되어 상기 제2 연산증폭기(U2)에서 증폭되어 출력된다. (도 4 참조) 상기 제2 연산증폭기(U2)에서 출력된 신호는 전압제어발진기(23)의 사전 등조값을 가지므로 바로 로크인(lock-in)되어 입력신호 주파수인 fr변화에 따른 전압이 만들어지고 이 전압은 주파수 fo를 가지는 신호파로 출력된다. 상기 전압제어발진기(23)의 주파수(fo) 신호는 정수 N으로 주파수분주기(24)를 통해 분주되어 상기 위상비교기(21)로 입력된다. 이때 분주된 주파수를 fv라 하면 $f_n = f_o / N$ 가 되고, 위상비교기(21)에서 $f_o / N = f_v = f_r$ 의 관계를 가지게 된다. 따라서 $f_o = N * f_r$ 이다. fr를 기준 발진 주파수로 하고, N을 프로그램에 의하여 설정해 준다면 fo를 fr의 N배의 배수로 가변시켜 주파수가 조정할 수 있다.

상기와 같은 고속위상 고착을 위한 위상동기루프 제어회로는 배터리의 사용 시간이 중요한 이동통신 단말기의 경우에 저전력모드에서 위상동기루프회로의 전원을 차단하고, 단말기의 사용시에 주파수 출력이 빨리 나와야 할 경우 이 방식을 사용하여 주파수 합성기의 초기 위상고착시간을 빠르게 할 수 있다.

본 발명의 효과

상기와 같이 구성되는 본 발명의 고속위상 고착을 위한 위상동기루프 제어회로는 외부에서 입력되는 신호의 주파수 천이시간동안 위상동기루프를 공응과 동시에 디지털-아날로그 변환기로 전압제어발진기의 사전 등조값을 공급하고 디지털-아날로그 변환기에서 아날로그 신호화하여 전압제어발진기로 그 등조값을 직접 인가함으로써, 위상동기루프회로의 위상고착시간을 줄일 수 있으며, 주파수 도약시 한 주파수가 다른 주파수로 천이될 때 전압제어발진기의 출력값이 안정될 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

일정한 주파수와 위상을 가지는 두 개의 신호의 인가시에 그 위상을 비교하여 위상차를 가지는 비교신호를 출력하는 위상비교부와; 상기 비교신호의 일정한 주파수 대역만을 통과시켜 증폭하는 필터부와; 상기 필터부를 통한 비교신호의 주파수와 위상차에 따른 전압을 발생시켜 일정한 주파수의 신호를 생성하는 전압제어발진부와; 상기 전압제어발진부에서 발생하는 주파수의 신호를 일정한 정수값으로 분주하여 상기 위상비교부로 인가하는 주파수분주부와; 상기 필터부에 구성되며 동작시에 상기 필터부의 신호필터링을 차단하는 스위칭부와; 상기 스위치의 동작시 필터부로 상기 전압제어발진부의 등조값을 가지는 디지털 신호를 아날로그 신호로 변환시켜 인가하는 디지털-아날로그 변환기와; 상기 스위치로 제어신호를 전송하며 스위치를 동작시키는 동시에 상기 디지털-아날로그 변환기로 상기 전압제어발진부의 등조값을 가지는 디지털 신호를 전송하는 제어부로 구성된 것을 특징으로 하는 고속위상 고착을 위한 위상동기루프 제어회로.

청구항 2

제 1 항에 있어서,

상기 필터부는 신호를 필터링하는 제1 연산증폭기와, 신호를 증폭하는 제2 연산증폭기로 구성된 것을 특징으로 하는 고속위상 고착을 위한 위상동기루프 제어회로.

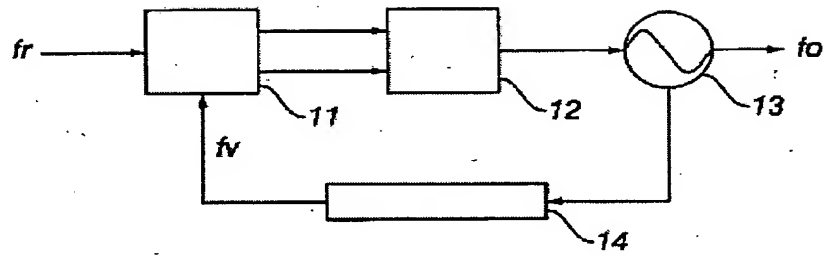
청구항 3

제 1 항 또는 제 2 항에 있어서,

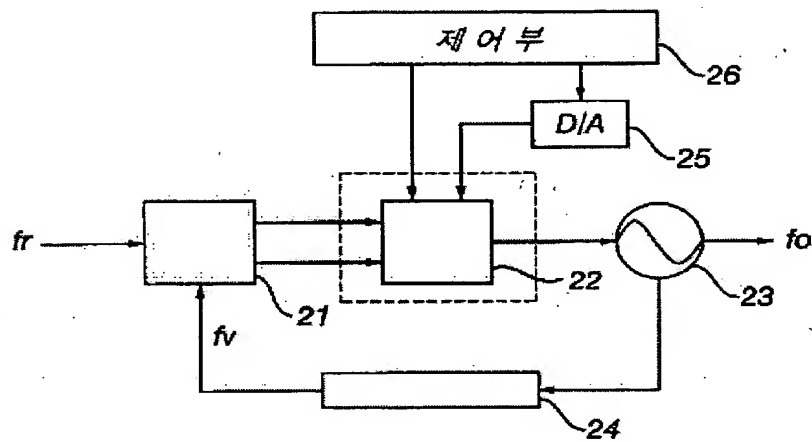
상기 디지털-아날로그 변환기는 상기 능동필터부 제2 연산증폭기의 입력단자에 연결된 것을 특징으로 하는 고속위상 고착을 위한 위상동기루프 제어회로.

도면

도면1



도면2



도면3

